

BEST AVAILABLE COPY

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020040094 A
(43)Date of publication of application: 30.05.2002

(21)Application number: 1020000070011
(22)Date of filing: 23.11.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: SHIN, SU HO
YANG, WON SEOK

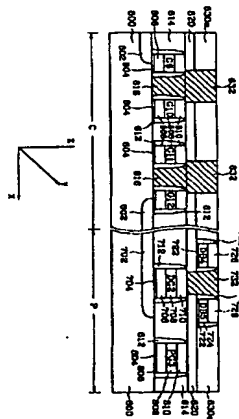
(51)Int. Cl. H01L 27/02

(54) SEMICONDUCTOR INTEGRATED CIRCUIT HAVING RESISTOR AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor integrated circuit having a resistor and a manufacturing method thereof are provided to include a resistor on a peripheral region without increasing the size of the semiconductor integrated circuit by forming resistor on a dummy gate electrode or between a pair of dummy bit lines.

CONSTITUTION: A semiconductor integrated circuit comprises a semiconductor substrate having a cell array region(C) and a peripheral region(P), a dummy gate electrode structure(DG1) formed in the peripheral region(P), a hole locating on the dummy gate electrode structure(DG1), insulation layers (614,620,630a) covering the dummy gate electrode structure(DG1), and a resistor(732) made of a conductive material such as a polysilicon filling the hole. In addition, a first bit line structure(DB4) and a second bit line structure(DB5) are contacted on the both sidewalls of the resistor(732). At this point, the resistor on a peripheral region is formed without increasing the size of the circuit.



© KIPO 2002

Legal Status

Date of request for an examination (20001123)
Final disposal of an application (registration)
Date of final disposal of an application (20020625)
Patent registration number (1003468410000)
Date of registration (20020718)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 27/02	(11) 공개번호 (43) 공개일자	특2002-0040094 2002년05월30일
(21) 출원번호 (22) 출원일자	10-2000-0070011 2000년11월23일	
(71) 출원인	삼성전자 주식회사 윤종용 경기 수원시 팔달구 매탄3동 416 신수호	
(72) 발명자	서울특별시도봉구쌍문동73경남아파트1동1010호 양원석 경기도용인시수지읍동천리176-1풍림아파트201동507호 이영필, 정상빈, 이래호	
(74) 대리인		

심사청구 : 있음

(54) 저항 소자를 구비하는 반도체 집적 회로 및 그의 제조 방법

요약

다층 현상을 방지하기 위해 주변 회로 영역에 형성되는 더미 게이트 전극 구조체의 상부 및/또는 한쌍의 더미 비트 라인 구조체 사이의 영역에 저항 소자를 형성하고, 더미 게이트 전극 구조체의 캐핑막과 스페이서 및/또는 더미 비트라인 구조체의 캐핑막 및/또는 스페이서를 이용해서 저항 소자의 폭 및/또는 높이를 공정 조건에 영향을 받지 않고 일정한 범위내의 값으로 형성할 수 있으므로, 반도체 집적 회로의 면적을 증가시키지 않으면서 안정한 저항값을 갖는 저항 소자 및 그의 형성 방법이 개시된다.

도표도

도3

색인어

자기 정렬, 폴리실리콘, 저항

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 1 실시예를 보여주는 단면도이다.
도 2는 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 2 실시예를 보여주는 단면도이다

도 3은 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 3 실시예를 보여주는 단면도이다.
도 4 내지 도 7은 본 발명의 제 1 실시예에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위한 제조 공정 단면도들이다.

도 8 및 도 9는 본 발명의 제 2 실시예에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위한 공정 단면도들이다.

도 10 및 도 11은 본 발명의 제 3 실시예에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위한 공정 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 관한 것으로, 특히 저항 소자를 포함한 반도체 집적 회로 및 그의 형성 방법에 관한 것이다.

반도체 집적 회로는 다수의 단위 셀로 구성된 셀 어레이 영역과 셀 영역의 외부에 위치하여, 신호의 지연 등을 포함하여 단위 셀의 동작 및 그의 입/출력을 제어하는 반도체 회로 예를 들면, 드라이버, 버퍼 또는 증폭기 등으로 이루어지는 주변회로 영역을 포함한다. 셀 어레이 영역 및 주변회로 영역의 반도체 회로를

은 능동 소자인 트랜지스터와 수동 소자인 저항을 기본적으로 포함한다. 즉, 반도체 집적 회로를 제조하는 과정은 다수의 트랜지스터와 다수의 저항 소자를 형성하는 공정을 수반하게 되고, 셀 어레이 영역에 반도체 소자를 형성할때 주변 회로 영역에서도 거의 동시에 동일한 종류의 반도체 소자를 형성한다.

종래의 반도체 집적 회로에는, 셀 어레이 영역의 게이트 전극 구조체를 형성하는 물질과 동일한 물질로 이루어지는 주변 회로 영역의 더미 게이트 전극 구조체를 이용하는 게이트 폴리 저항 소자, 셀 어레이 영역에 형성되는 자기 정렬 콘택 플러그와 동일한 물질로 형성되며 주변 회로 영역의 더미 게이트 전극 구조체들 사이에 형성되는 자기 정렬 콘택 플러그를 이용하는 자기 정렬 콘택 플러그 저항 소자 또는 티타늄 나이트라이드막과 폴리실리콘으로 이루어지는 셀 어레이 영역의 플레이트 전극과 동일한 물질로 이루어지는 플레이트 전극 저항 소자가 사용되고 있다. 게이트 전극 구조체 및 더미 게이트 전극 구조체는 게이트 절연막, 게이트 전극 그리고 게이트 전극 상면에 형성되는 캐핑막 및 이들의 측면에 형성되는 스페이서를 포함한다.

주변 회로 영역에서 사용되는 저항 소자의 값은 수 k Ω 또는 수백 k Ω 이 필요하다. 따라서, 폴리사이드 구조의 게이트 폴리 저항 소자를 이용할 경우에는 낮은 면저항때문에 게이트 폴리 저항 소자의 길이를 길게 해야하므로, 반도체 집적 회로의 면적을 증가시켜야 하는 문제가 있다.

또한, 자기 정렬 콘택 플러그 저항 소자는 셀 어레이 영역의 자기 정렬 콘택 플러그 즉, 비트 라인 콘택 플러그의 형성과 동시에 형성된다. 이후 셀 어레이 영역 및 주변 회로 영역에 비트 라인이 형성되는데, 비트 라인에는 N⁺ 또는 P⁺의 불순물 이온이 주입된다. 불순물 이온의 도핑 및 이온 주입 공정에 수반되는 후속 열처리에 의해 자기 정렬 콘택 플러그를 구성하는 물질의 비저항의 변하게 되어, 자기정렬 콘택 플러그 저항 소자의 값이 공정 조건에 따라 변하게 된다. 또한, 자기 정렬 콘택 플러그를 형성하기 위한 기체 및 화학적 연마 공정 조건에 의해, 셀 어레이 영역의 자기 정렬 콘택 플러그를 포함하여 주변 회로 영역의 자기 정렬 콘택 플러그 저항 소자의 높이가 변하게 되어, 자기 정렬 콘택 플러그 저항 소자의 값이 변동된다.

이러한 저항 소자의 값 변동은 저항 소자를 포함하는 반도체 소자의 동작 특성을 불안정하게 만드는 결과를 초래한다.

한편, 플레이트 전극 저항 소자를 사용할 경우에는 폴리실리콘에 비해 낮은 저항값을 갖으므로 전자의 주요 통로가 되고 있는 티타늄 나이트라이드막의 두께가 공정 조건에 따라 변동되게 되고, 플레이트 전극의 폭이 사진 식각의 노광 및 현상 조건에 따라 변동되게 된다. 또한, 티타늄 나이트라이드막과 폴리실리콘막이 셀 어레이 영역에는 전면에 걸쳐 패터닝되는 반면 주변 회로 영역에서는 저항 소자가 형성될 영역에만 패터닝되므로, 로딩 효과에 의해, 원하는 사이즈를 갖는 저항 소자를 얻기 곤란하다.

그리고, 플레이트 전극으로 도전성 물질의 하나인 금속을 사용하는 경우에는 낮은 면저항으로 인해 플레이트 전극 저항 소자의 길이를 증가시켜야 하는 문제가 있다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 집적도를 감소시키지 않으면서 반도체 집적 회로의 제조 공정에 따른 값의 변동이 억제되거나 감소되는 저항 소자 및 그의 형성 방법을 제공하는 것이다.

본 발명의 구성 및 작용

본 발명이 이루고자 하는 기술적 과제를 달성하기 위해, 반도체 기판의 주변 회로 영역에 형성되는 더미 게이트 전극 구조체 상부에 도전성 물질 예를 들면 폴리실리콘으로 이루어진 저항 소자를 형성하거나 또는 더미 게이트 전극 구조체 상부에 형성되는 더미 비트 라인 구조체와 인접 더미 비트 라인 구조체 사이에 도전성 물질 예를 들면 폴리실리콘으로 이루어지는 저항 소자를 형성한다.

한편, 더미 게이트 전극 구조체는 폴리실리콘층과 고용점 금속 실리사이드층으로 이루어진 게이트 전극과 게이트 전극 상면에 형성된 더미 게이트 캐핑막을 포함하며, 더미 비트 라인 구조체도 더미 비트 라인과 그 상부에 더미 비트 라인 캐핑막을 포함한다. 그리고, 더미 게이트 캐핑막과 더미 비트 라인 캐핑막이 더미 게이트 전극 구조체를 덮는 절연막과 더미 비트 라인 구조체를 덮는 절연막에 대해 식각 선택비가 높은 물질로 이루어지게 하여, 더미 게이트 전극 구조체 상부에 형성되는 저항 소자의 높이가 공정 조건에 따라 변화되는 문제를 제거하거나 또는 변동 폭을 감소시킨다.

나아가, 더미 비트 라인 구조체가 더미 비트 라인과 그 상부에 형성되는 더미 비트 라인 캐핑막의 측면에 형성된, 더미 비트 라인 구조체를 덮는 절연막에 대해 높은 식각 선택비를 갖는 물질로 이루어진 스페이서를 더 포함으로써, 서로 인접하는 더미 비트 라인 구조체 사이에 형성되는 저항 소자의 폭이 공정 조건에 따라 변화되는 문제를 제거하거나 또는 감소시킨다.

그런데, 셀 어레이 영역의 비트 라인과 동시에 형성되는 주변 회로 영역의 더미 비트 라인 구조체 형성 이후에, 더미 비트 라인 구조체 사이에 형성되는 저항 소자가 형성되므로, 전술한 저항 소자는 비트라인에 불순물 이온을 도핑하고 열처리하는 공정에 따른 열적 부하를 받지 않게 된다. 따라서, 더미 비트 라인 구조체 사이에 형성되는 저항 소자의 비저항의 변동 폭이 상당히 감소하게 된다.

이하 본 발명을 첨부된 도면을 참조로 상세히 설명한다.

도 1은 본 발명의 실시시에에 따라 제조된 저항 소자를 구비한 반도체 집적 회로를 보여주는 단면도이다.

반도체 기판(100)은 셀 어레이 영역(C)과 주변 회로 영역(P)으로 구분되어 있다. 셀 어레이 영역(C)에서, 소자 분리막(102)에 의해 한정된 활성 영역 상의 반도체 기판에는 다수의 게이트 전극 구조체들(61, 62, 63, 64)이 형성되어 있다. 게이트 전극 구조체들(61, 62, 63, 64)은 게이트 절연층(104), 폴리실리콘층(106), 고용점 금속 실리사이드층(108), 게이트 전극 캐핑막(110) 및 게이트 전극 스페이서(112)를 포함한다. 제 1 게이트 전극 구조체(61)와 제 2 게이트 전극 구조체(62) 사이 그리고 제 3 게이트 전극 구조체(63)와 제 4 게이트 전극 구조체(64) 사이에는, 게이트 전극 구조체 상부에 형성되

는 캐패시터(도시되지 않음)와 반도체 기판(100)의 활성 영역을 연결시키기 위한 스토리지 전극 연결 패드(116)가 형성되어 있다. 제 2 게이트 전극 구조체(62)와 제 3 게이트 전극 구조체(63) 사이에는 Y축 방향으로 배치되고 각각이 X축 방향으로 신장하는 비트 라인(도시되지 않음)과 활성 영역을 연결시키기 위한 비트 라인 연결 패드(도시되지 않음)가 형성되어 있다. 제 1 층간 절연막(114)은 게이트 전극 구조체들(61, 62, 63, 64)의 높이와 동일한 두께를 갖고 있으며, 게이트 전극 구조체들 사이를 채운다. 또한 제 1 층간 절연막(114)은 게이트 전극 스페이서(112) 및 게이트 전극 캐핑막(110)에 대해 높은 식각 선택비를 갖는 물질로 구성된다. 제 1 층간 절연막(114) 상면에는 스토리지 전극 연결 패드(116)와 이후 선택비를 갖는 물질로 구성된다. 제 1 층간 절연막(114)을 절연시키는 제 2 층간 절연막(120)이 형성되어 있다. 제 2 층간 절연막(120)은 제 1 층간 절연막(114)의 높이와 동일한 두께를 갖고 있으며, 제 1 층간 절연막(114) 상면에는 비트 라인(도시되지 않음)을 형성시키고, 비트 라인과 비트 라인 연결 패드는 제 2 층간 절연막(120)내에 형성된 비트 라인 연결 플러그(도시되지 않음)에 의해 연결된다. 비트 라인이 배치된 제 2 층간 절연막(120) 상에 제 3 층간 절연막(130a)이 형성되어 있다. 제 2 층간 절연막(120)과 제 3 층간 절연막(130a)내에는 스토리지 전극 연결 패드(116)와 스토리지 전극을 연결하는 스토리지 전극 연결 플러그(134a)가 자기 정렬 방식으로 형성되어 있다.

주면 회로 영역(P)에는 더미 게이트 전극 구조체(D61)와, 드라이버, 증폭기 등과 같은 주변 회로 소자등 구조하는 게이트 전극 구조체(P61)가 형성되어 있다. 더미 게이트 전극 구조체(D61)는 페리 게이트 전극 구조체(P61)와 셀 어레이 영역의 게이트 전극 구조체(G1, G2, G3, G4) 사이에 배치되어 제 1 층간 절연막(H14)의 디싱(dishing)을 방지한다. 그리고 페리 게이트 전극 구조체(P61)와 더미 게이트 전극 구조체(D61)는 셀 어레이 영역(C)의 게이트 전극 구조체들(G1, G2, G3, G4)과 동일한 공정 단계에서 형성된다. 더미 게이트 전극 구조체(D61)와 페리 게이트 전극 구조체(P61)는 게이트 절연막(204, 304), 폴리실리콘층(206, 306), 고용점 금속 살리사이드층(208, 308), 캐핑막(210, 310) 및 스페이서(212, 312)로 구성되어 있다. 캐핑막(210, 310) 및 스페이서(212, 312)는 제 1 층간 절연막(H14)에 대해 식각 선택비가 매우 높을 정도로 이루어지는 것이 바람직하다.

제 1 층간 절연막(114) 상면에는 제 2 층간 절연막(120)이 형성되어 있으며, 제 2 층간 절연막(120) 상면에는 셀 어레이 영역(C)의 비트 라인 구조체와 동일한 단계에서 형성되는 더미 비트 라인 구조체(DB1)가 형성되어 있다. 더미 비트 라인 구조체(DB1)는 배리어막(222), 더미 비트 라인(224), 더미 비트 라인의 캐핑막(226) 및 더미 비트 라인의 스페이서(228)로 이루어져 있다. 더미 비트 라인(DB1)은 셀 어레이 영역(C)의 스토리지 전극 연결 플러그(134a)를 형성하기 위한 기계 및 화학적 연마 공정에 의해 제 3 층간 절연막(130a)이 디싱되는 문제를 해결하기 위해 도입된 구성 요소이다. 더미 비트 라인 구조체(DB1)가 형성된 제 2 층간 절연막(120) 상면에는 제 3 층간 절연막(130a)이 형성되어 있다. 제 3 층간 절연막(130a)은 더미 비트 라인(DB1) 높이와 동일한 두께를 갖는다. 제 3 층간 절연막(130a) 및 제 2 층간 절연막(120) 내에는 더미 게이트 전극(DB1)의 캐핑막(210)에서 자지되며 도전성 물질 예를 들면 폴리실리콘으로 이루어지는 저항 소자(138a)가 형성되어 있다.

이상에서 설명한 바에 의하면, 폴리 저항 소자(138a)를 반도체 집적 회로의 주변 회로 영역에 형성되는 더미 게이트 전극 구조체(D31) 상부에 형성하고 저항 소자(138a)의 높이를 더미 비트 라인 구조체(DB1)의 높이를 이용해 결정함으로써, 반도체 집적 회로의 면적 증가 없이 높이의 변동이 적은 저항 소자를 구현할 수 있다.

도 2는 본 발명의 다른 실시예에 따라 제조된 저항 소자들을 구비한 반도체 집적 회로를 보여주는 단면도이다.

반도체 기판(400)의 셀 어레이 영역(C)에 형성된 게이트 전극 구조체들(65, 66, 67, 68), 제 1 층간 절연막(414) 내에 형성된 스토리지 전극 연결 패드(416), Y축 방향으로 배치되고 X축 방향으로 신장하는 비트 라인(도시되지 않음), 제 1 층간 절연막 내에 형성된 비트 라인 연결 패드(도시되지 않음), 제 2 층간 절연막(420) 및 제 3 층간 절연막(430a)내에 형성된 스토리지 전극 연결 플러그(432) 및 제 2 층간 절연막(420) 내에 형성된 비트 라인 구조체 연결 플러그(도시되지 않음)는 제 1 실시예의 것과 동일하다. 참조 번호 402는 소자 분리막이며, 404는 게이트 절연막, 406은 폴리실리콘층, 408은 고용점 금속 실리사이드층, 410은 게이트 전극 캐핑막, 412는 게이트 전극 스페이서이다.

한편, 주변 회로 영역(P)에서는, 소자분리막(502)이 형성된 반도체 기판(400) 상에 페리게이트 전극 구조체(PG2)가 형성되어 있다. 페리 게이트 전극 구조체는 도 1의 페리 게이트 전극 구조체(PG1)와 같이, 게이트 절연막(502), 폴리실리콘층(504), 고용점 금속 실리사이드층(506) 및 페리 게이트 전극 캐핑막(510) 및 페리 게이트 스페이서(512)로 이루어져 있다. 캐핑막(510) 및 스페이서(512)는 제 1 층간 절연막(414)에 대해 식각 선택비가 큰 물질로 이루어지는 것이 바람직하다. 페리 게이트 전극 구조체(PG2)의 높이와 제 1 층간 절연막(414)의 두께는 갈수록 구성되어 있다. 제 1 층간 절연막(414) 상에는 제 2 층간 절연막(420)과 제 3 층간 절연막(430a)이 순차적으로 형성되어 있다. 제 2 층간 절연막(420) 상면 그리고 제 3 절연막(430a) 내에는 한쌍의 더미 비트 라인 구조체(DB2, DB3)가 형성되어 있으며 이들 사이에는 도전성 물질 예를 들면 폴리실리콘으로 이루어지는 저항 소자(532)가 형성되어 있다. 더미 비트 라인 구조체(DB2, DB3)는 도 1의 더미 비트 라인 구조체(DB1)과 같이, 배리어막(522), 더미 비트 라인(524), 더미 비트라인 캐핑막(526)과 더미 비트 라인 스페이서(524)로 이루어져 있다. 더미 비트라인 캐핑막(526)을 제 3 층간 절연막(430a)에 대해 식각 선택비가 높은 물질로 구성하며, 그의 상면이 폴리 저항 소자(532)의 상면과 동일 수준에 있게 형성하였다. 또한 더미 비트 라인 스페이서(528)를 제 3 층간 절연막(430a)에 대해 높은 식각 선택비를 가지는 물질로 구성하여 폴리 저항 소자(532)의 폭을 자기 정렬 방식으로 결정한다. 즉 폴리 저항 소자(532)의 폭은 폴리 저항 소자를 형성하기 위한 마스크의 미스 얼라인에 영향을 받지 않고 자기 정렬 방식으로 일정하게 형성되므로, 폴리 저항 소자(532)의 저항 값의 변동이 적게 된다.

한편, 도 2는 주변 회로 영역 중, 더미 게이트 전극 구조체(도시되지 않음)가 형성되지 않는 제 1 층간 절연막(414) 상에 제 1 비트 라인 구조체(0B2, 0B3)가 형성된 경우를 나타낸 것으로, 폴리 저항 소자의 비단면(534)이 제 1 층간 절연막(534) 내에 형성되어 있다. 그러나, 원하는 저항 값에 맞추어 저항 소자의 비단면(534) 제 2 절연막(420) 또는 반도체 기판(400)으로 단축 또는 연장할 수 있다. 도 2에서는 폴리 저항 소자를 제 2 절연막(420) 또는 반도체 기판(400)에 소자 분리막(502)이 형성되어 있으나, 경우에 따라서는 할

성 영역이 형성되어 있을 수 있으며 이 경우에는 저항 소자를 형성하기 위해 활성 영역도 고려할 수 있다.

도 3은 본 발명의 또 다른 실시예 따라 제조된 저항 소자를 구비한 반도체 집적 회로를 보여주는 단면도이다.

반도체 기판(600)의 셀 어레이 영역(C)에 형성된 게이트 전극 구조체(609, 610, 611, 612), 제 1 층간 절연막(614) 내에 형성된 스토리지 전극 연결 패드(616), Y축 방향으로 배치되고 X축 방향으로 신장하는 비트 라인(도시되지 않음), 제 1 층간 절연막(616) 내에 형성된 비트 라인 연결 패드(도시되지 않음), 제 2 층간 절연막(620) 및 제 3 층간 절연막(630a) 내에 형성된 스토리지 전극 연결 플러그(632) 및 제 2 층간 절연막(620) 내에 형성된 비트 라인 연결 플러그(도시되지 않음)는 제 1 실시예 및 제 2 실시예의 것과 동일하다. 참조 번호 602는 소자 분리막이며, 604는 게이트 절연막, 606은 폴리실리콘층, 608은 고융점 금속 실리사이드층, 610은 게이트 전극 캐핑막, 612는 게이트 전극 스페이서이다.

주변 회로 영역(P)은 소자분리막(702)이 형성된 반도체 기판(600) 상에 더미 게이트 전극 구조체(062)와 페리 게이트 전극 구조체(P62)가 형성되어 있다. 더미 게이트 전극 구조체(062)는 도 1의 더미 게이트 전극 구조체(061)와 같이, 게이트 절연막(704), 폴리실리콘층(706), 고융점 금속 실리사이드층(708) 및 더미 게이트 전극 캐핑막(710) 및 스페이서(712)로 이루어져 있다. 페리 게이트 전극 구조체(P63)는 도 2의 페리 게이트 전극 구조체(P62)와 같이, 게이트 절연막(802), 폴리실리콘층(804), 고융점 금속 실리사이드층(806) 및 페리 게이트 전극 캐핑막(810) 및 페리 게이트 전극 스페이서(812)로 이루어져 있다. 캐핑막(710, 810) 및 스페이서(712, 812)는 제 1 층간 절연막(614)에 대해 식각 선택비가 큰 물질로 이루어지는 것이 바람직하다. 더미 게이트 전극 구조체(062)와 페리 게이트 전극 구조체(P63)의 높이와 제 1 층간 절연막(614)의 두께는 같도록 구성되어 있다. 제 1 층간 절연막(614) 상에는 제 2 층간 절연막(620)과 제 3 층간 절연막(630a)이 순차적으로 형성되어 있다. 제 2 층간 절연막(620) 상면에는 한 쌍의 더미 비트 라인 구조체(084, 085)가 형성되어 있으며 이들 사이에는 도전성 물질 예를 들면 폴리실리콘으로 이루어지는 저항 소자(732)가 형성되어 있다. 폴리 저항 소자(732)는 더미 게이트 전극 구조체(062)의 캐핑막(710) 상면과 접촉하고 있다. 더미 비트 라인 구조체(084, 085)는 도 2의 더미 비트 라인 구조체(082, 083)와 같이, 배리어막(722), 더미 비트 라인(724), 더미 비트라인 캐핑막(726)과 더미 비트 라인 스페이서(724)로 이루어져 있다. 더미 비트 라인 캐핑막(726)을 제 3 층간 절연막(630a)에 대해 식각 선택비가 높은 물질로 구성하여, 그의 상면이 폴리 저항 소자(732)의 상면과 동일 수준에 있게 구성한다. 또한 더미 비트 라인 스페이서(728)를 제 3 층간 절연막(630a)에 대해 높은 식각 선택비를 가지는 물질로 구성하여 폴리 저항 소자(732)의 폭을 자기 정렬 방식으로 결정한다. 따라서 폴리 저항 소자(732)의 폭은 도 2에 도시된 폴리 저항 소자(532)와 같이 폴리 저항 소자(732) 형성용 마스크의 미스 얼라인에 영향을 받지 않고 자기 정렬 방식으로 일정하게 형성된다.

또한 더미 게이트 구조체(062)의 캐핑막(710)이 제 2 층간 절연막(620)에 대한 식각 선택비가 큰 물질로 이루어지므로, 폴리 저항 소자(732)의 높이는 공정 조건에 민감하게 영향을 받지 않고, 더미 게이트 전극의 캐핑막(710) 상면에서부터 더미 비트 라인 캐핑막(726)의 상면까지의 범위로 결정된다. 따라서, 도 3의 폴리 저항 소자(732)는 공정 조건에 따라 그의 폭 및 높이가 일정하게 되므로, 폴리 저항 소자(732)는 안정된 저항값을 얻을 수 있다.

도 4 내지 도 7을 참고하여, 본 발명의 제 1 실시예에 따른 저항 소자를 구비하는 반도체 집적 회로를 형성하는 방법을 설명한다.

도 4에서, 셀 어레이 영역(C)과 주변 회로 영역(P)으로 이루어지는 반도체 기판(100)을 준비한다. 반도체 기판(100)에는 소자 분리막(102, 202)이 형성되어 있다. 반도체 기판(100) 상의 셀 어레이 영역에는 게이트 전극 구조체(61, 62, 63, 64)를 형성하고 이와 동시에 주변 회로 영역(P)에는 더미 게이트 전극 구조체(061)와 페리 게이트 전극 구조체(P61)를 형성한다. 게이트 전극 구조체(61, 62, 63, 64)는 게이트 절연막(104), 폴리실리콘층(106)과 고융점 금속 실리사이드층(108)로 이루어진 게이트 전극, 게이트 전극 상면에 위치하는 게이트 전극 캐핑막(110)과 게이트 전극 스페이서(112)를 포함한다. 더미 게이트 전극 구조체(061)와 페리 게이트 전극 구조체(P61)도 게이트 전극 구조체(61, 62, 63, 64)와 유사하게, 게이트 절연막(204, 304), 게이트 전극(205+208, 306+308), 캐핑막(210, 310)과 스페이서(212, 312)를 포함한다.

다음, 결과를 전면에 절연물질을 도포(도시되지 않음)를 형성한 뒤, 셀 어레이 영역(C)의 절연물질막 내에 콘택홀(도시되지 않음)을 형성한다. 콘택홀을 포함한 절연물질막 상면에 도전성 물질층 예를 들면 폴리실리콘층(도시되지 않음)을 형성한다. 폴리실리콘층이 형성된 반도체 기판을 기계 및 화학적 연마 방법으로 평탄화한다. 그런데, 게이트 전극 캐핑막(110), 더미 게이트 전극 캐핑막(210) 및 페리 게이트 전극 캐핑막(310)이 절연물질막에 대해 높은 식각 선택비를 가지므로, 전술한 기계 및 화학적 연마 과정은 캐핑막을(110, 210, 310)의 상면에서 정지된다. 결과적으로 그의 상면이 원하는 위치에 형성되는 스토리지 전극 연결 패드(116) 및/또는 비트 라인 연결 패드(도시되지 않음)가 형성된다.

도 5에서, 평탄화된 제 1 층간 절연막(114) 상면에 제 2 층간 절연막(120)을 형성한다. 제 2 층간 절연막(120)은 스토리지 전극 연결 패드(116)와 이후에 형성되는 비트 라인(도시되지 않음)과의 절연을 위해 게재되는 막이다. 다음, 제 2 층간 절연막(120)의 소정 부분에 비트 라인 연결패드와 연결되는 개구부를 형성하고 상기 개구부를 도전성 물질 예를 들면 폴리실리콘으로 채워 비트 라인 연결 플러그를 형성한다. 비트 라인 연결 플러그(도시되지 않음)는 비트 라인에 직접 연결되는 부분이다. 제 2 층간 절연막(120) 상의 셀 어레이 영역(C)에는 비트 라인 구조체(도시되지 않음)를, 주변 회로 영역(P)에는 더미 비트라인 구조체(081)를 비트 라인 구조체와 동일 물질을 사용하여 동시에 형성한다. 셀 어레이 영역(C)의 비트 라인 구조체는 Y축 방향으로 배열되고 X축 방향으로 신장한다. 더미 비트 라인 구조체(081)는 더미 배리어막(222), 더미 비트 라인(224), 더미 비트 라인 캐핑막(226)과 스페이서(228)를 포함한다. 다음, 비트 라인 구조체 및 더미 비트 라인 구조체(081)가 형성된 제 2 층간 절연막(120) 상에 절연물질막(130)을 형성한다.

도 6에서, 주변 회로 영역(P)을 마스크(132)로 덮은 후, 절연물질막(130)과 제 2 층간 절연막(120)을 식

공정은 더미 비트 라인 구조체(084, 085)의 캐핑막(726)의 상면에서 정지된다.

본 실시예에서는 디실 현상을 방지하기 위해 반도체 집적 회로에 통상 형성되는 더미 게이트 전극 구조체(062)상부의 더미 비트 라인 구조체(084, 085) 사이에 폴리 저항 소자(732)를 형성하므로, 저항 소자 형성을 위한 반도체 집적 회로의 면적 증가가 발생하지 않는다. 그리고, 폴리 저항 소자(732)의 폭은 한쌍의 스페이서(728)에 의해 결정되고 그의 높이는 더미 비트 라인 캐핑막(726)과 더미 게이트 전극 캐핑막(710)에 의해 결정되므로, 폴리 저항 소자(732) 형성을 마스크 패턴의 미스 얼라인의 영향을 받지 않고 얼마 공정의 구체적인 조건에 관계 없이, 안정적인 폴리 저항 소자(138a)의 저항 값을 얻을 수 있다.

발명의 효과

본 발명에서는 디실 현상을 방지하기 위해 주변 회로 영역에 형성되는 더미 게이트 전극 구조체의 상부 및/또는 한쌍의 더미 비트 라인 구조체 사이의 영역에 저항 소자를 형성하므로, 반도체 집적 회로의 면적을 증가시키지 않으면서 주변 회로 영역에 저항 소자를 형성할 수 있다.

그리고, 더미 게이트 전극 구조체의 캐핑막과 스페이서 및/또는 더미 비트라인 구조체의 캐핑막 및/또는 스페이서를 이용해서 폴리 저항의 폭 및/또는 높이를 공정 조건에 영향을 받지 않고 일정한 범위내에서 형성할 수 있으므로, 이들 영역에 형성된 저항 소자의 저항값이 안정하게 된다.

(57) 청구의 범위

청구항 1. 셀 어레이 영역과 주변 회로 영역을 포함하는 반도체 기판,

상기 주변 회로 영역의 상기 반도체 기판에 형성된 더미 게이트 전극 구조체,

상기 더미 게이트 전극 구조체 상부에 위치하는 개구부를 구비하며 상기 더미 게이트 전극 구조체를 덮는 절연막, 및

도전성 물질로 이루어지고 상기 개구부를 점유하는 저항 소자를 구비하는 반도체 집적 회로

청구항 2. 제 1 항에 있어서, 상기 더미 게이트 전극 구조체는 상기 기판 상에 순차적으로 형성된 폴리 실리콘층과 고용점 금속 실리콘사이드층으로 이루어진 게이트 전극, 상기 게이트 전극 상면에 형성된 캐핑막을 포함하고, 상기 캐핑막은 상기 절연막에 대해 식각 선택비가 높은 물질로 이루어지는 반도체 집적 회로.

청구항 3. 제 1 항에 있어서, 상기 절연막 내에 형성되며 일측이 상기 저항 소자의 일측과 접촉하는 제 1 더미 비트 라인 구조체와 일측이 상기 저항 소자의 다른 일측과 접촉하는 제 2 더미 비트 라인 구조체를 더 포함하는 반도체 집적 회로.

청구항 4. 제 3 항에 있어서, 상기 제 1 더미 비트 라인 구조체와 상기 제 2 더미 비트 라인 구조체는 상기 절연막과 동일 수준에 위치하는 반도체 집적 회로.

청구항 5. 제 3 항에 있어서, 상기 제 1 더미 비트 라인 구조체 및 제 2 더미 비트 라인 구조체 각각은 배리어막 및 도전성 물질막으로 이루어지는 더미 비트 라인과 상기 더미 비트 라인 상면에 형성된 더미 비트 라인 캐핑막을 포함하고, 상기 더미 비트 라인 캐핑막은 상기 절연막에 대한 식각 선택비가 높은 물질로 이루어지는 반도체 집적 회로.

청구항 6. 제 5 항에 있어서, 상기 제 1 더미 비트 라인 구조체 및 제 2 더미 비트 라인 구조체는 상기 더미 비트 라인 캐핑막 및 상기 더미 비트 라인의 양측벽에 형성되고 상기 절연막에 대해 식각 선택비가 높은 물질로 이루어지는 더미 비트 라인 스페이서를 더 포함하는 반도체 집적 회로.

청구항 7. 셀 어레이 영역과 주변 회로 영역을 포함하는 반도체 기판,

상기 반도체 기판 상에 형성되는 절연막,

상기 주변 회로 영역의 상기 절연막 상에 형성되는 적어도 2개 이상의 더미 비트 라인 구조체들, 및

상기 인접하는 더미 비트 라인 구조체들에 의해 한정되고 도전성 물질로 이루어지는 저항 소자를 구비하는 반도체 집적 회로.

청구항 8. 제 7 항에 있어서, 상기 저항 소자는 상기 절연막의 내부까지 신장되어 있는 반도체 집적 회로.

청구항 9. 제 8 항에 있어서, 상기 저항 소자는 상기 반도체 기판 표면까지 신장되어 있는 반도체 집적 회로.

청구항 10. 제 1 항 또는 제 7 항에 있어서, 상기 도전성 물질은 폴리실리콘인 반도체 집적 회로.

청구항 11. 셀 어레이 영역과 주변 회로 영역을 포함하는 반도체 기판을 준비하는 단계,

상기 반도체 기판 상에 제 1 절연막을 형성하는 단계,

상기 제 1 절연막 상의 주변 회로 영역에 적어도 2개 이상의 더미 비트 라인 구조체들을 형성하는 단계,

상기 상호 인접하는 더미 비트 라인 구조체들에 의해 한정되고 도전성 물질로 이루어지는 저항 소자를 형성하는 단계를 포함하는 반도체 집적 회로 형성 방법.

청구항 12. 제 11 항에 있어서, 상기 기판을 준비하는 단계와 상기 제 1 절연막을 형성하는 단계 사이에, 상기 저항 소자 하부의 상기 제 1 절연막 내에서 상기 제 1 절연막과 동일 수준에 위치하는 더미 게이트 전극 구조체를 형성하는 단계를 더 포함하는 반도체 집적 회로 형성 방법.

청구항 13. 제 11항에 있어서, 상기 더미 비트 라인 구조체 형성 단계와 상기 저항 소자형성 단계 사이에, 상기 더미 비트 라인 구조체들을 덮는 제 2 절연막을 형성하는 단계를 더 포함하고, 상기 저항 소자 형성 단계는 상기 제 2 절연막의 소정 부분을 식각하여 상기 저항 소자를 개구부를 형성하는 단계, 상기 개구부를 포함한 상기 반도체 기판에 도전성 물질층을 형성하는 단계 및 상기 도전성 물질층을 상기 더미 비트 라인 연결체들의 상면이 노출될때까지 식각하는 단계를 포함하는 반도체 집적 회로 형성 방법.

청구항 14. 제 12항에 있어서, 상기 더미 게이트 전극 구조체를 형성하는 단계에서, 상기 셀 어레이 영역에서는 상기 제 1 절연막과 동일 수준에 위치하는 게이트 전극 구조체를 동시에 형성하는 반도체 집적 회로 형성 방법.

청구항 15. 제 11항에 있어서, 상기 주변 회로 영역의 더미 비트 라인 구조체들을 형성하는 단계에서 상기 셀 어레이 영역에서는 비트 라인 구조체를 동시에 형성하며, 상기 저항 소자 형성 단계에서 상기 셀 어레이 영역에서는 인접하는 상기 비트 라인 구조체에 의해 한정되는 자기 정렬 콘택 플러그를 동시에 형성하는 반도체 집적 회로 형성 방법.

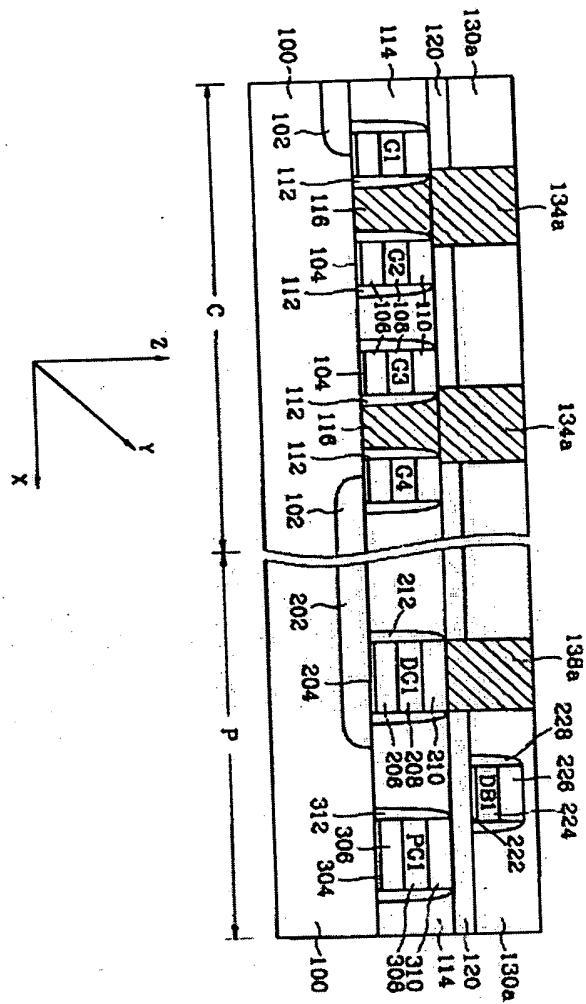
청구항 16. 제 11항에 있어서, 상기 저항 소자 형성 단계에서 상기 저항 소자가 상기 제 1 절연막의 내부까지 성장하도록 상기 제 1 절연막을 식각하는 반도체 집적 회로 형성 방법.

청구항 17. 제 11항에 있어서, 상기 저항 소자 형성 단계에서 상기 저항 소자가 상기 제 1 절연막 하부의 상기 반도체 기판까지 성장하도록 상기 제 1 절연막을 식각하는 반도체 집적 회로 형성 방법.

청구항 18. 제 11항에 있어서, 상기 도전성 물질층은 폴리실리콘층인 반도체 집적 회로 형성 방법.

도면

18B



502

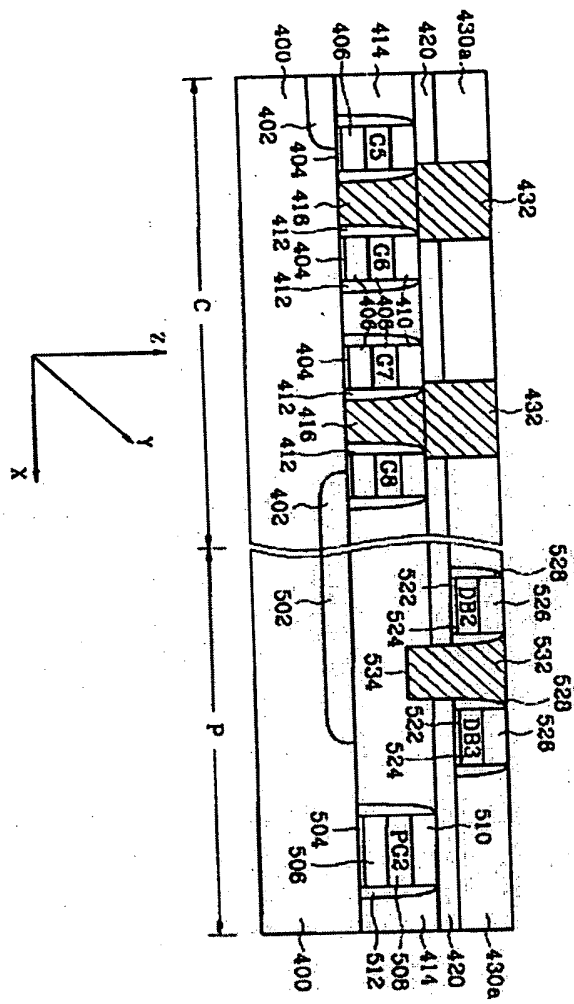
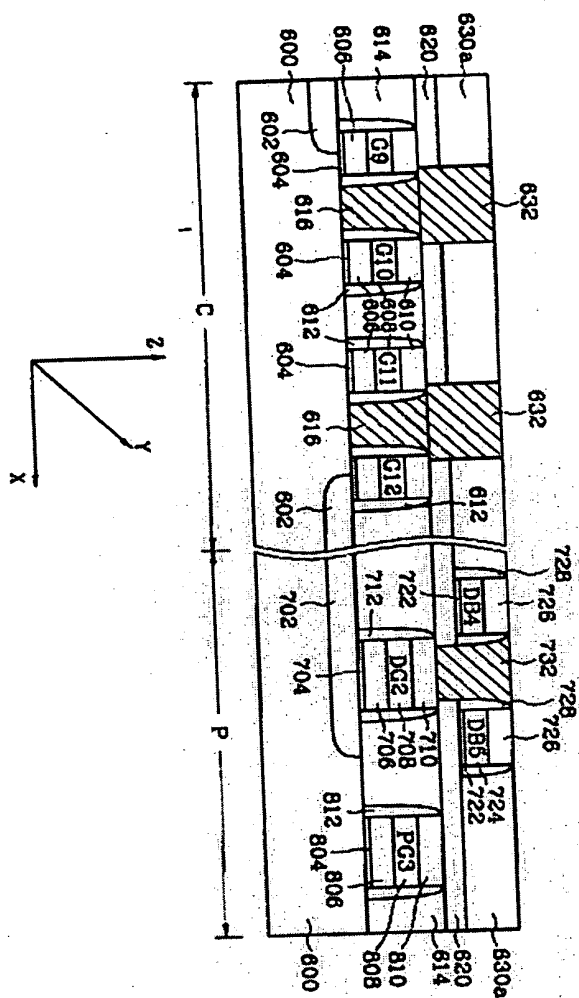


圖 3



도 11

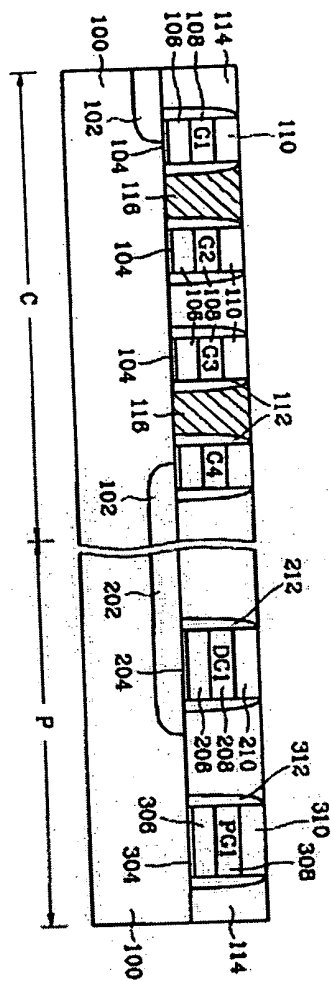
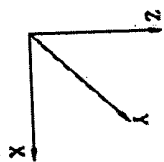
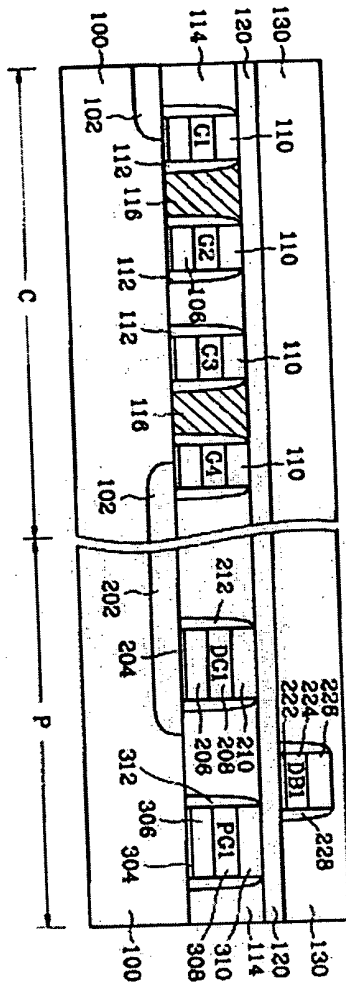
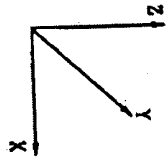
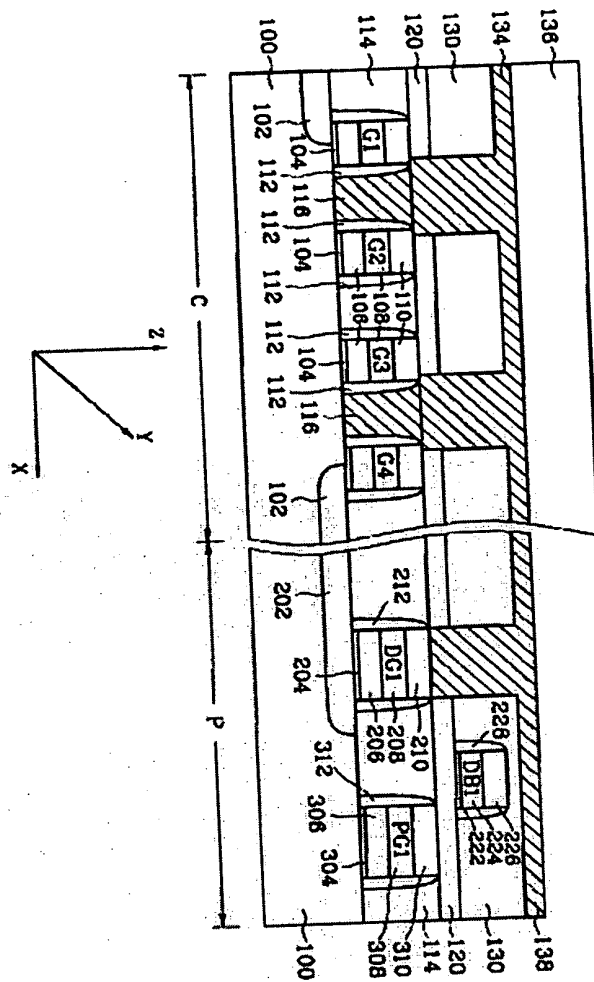
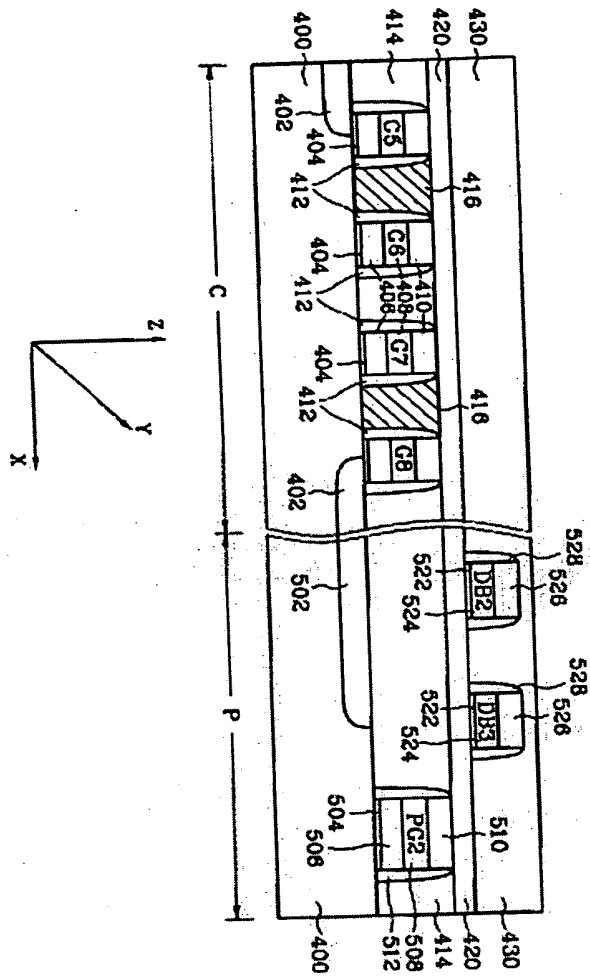


圖 5

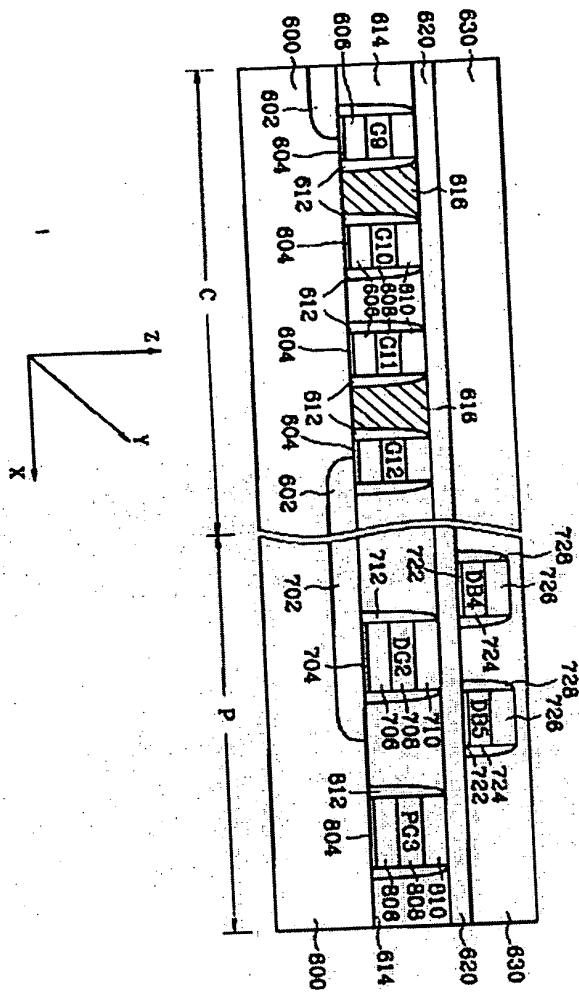




도 5



580



11B5

